

Министерство науки и высшего образования Российской Федерации
Федеральное государственное автономное образовательное учреждение высшего образования
«Национальный исследовательский университет «Московский институт электронной техники»



УТВЕРЖДАЮ
Проректор по УР

А.Г. Балашов

2024 г.

ПРОГРАММА ПОВЫШЕНИЯ КВАЛИФИКАЦИИ

«ФУНКЦИОНАЛЬНАЯ ВЕРИФИКАЦИЯ ЦИФРОВЫХ УСТРОЙСТВ»

Программа разработана в Передовой инженерной школе
«Средства проектирования и производства электронной компонентной базы»

Москва – 2024 г.

1. Цель реализации программы

Цель программы – формирование у слушателей профессиональных компетенций в области функциональной верификации цифровых устройств.

2. Характеристика профессиональной деятельности и (или) квалификации

Научные проекты ПИШ, в которых востребованы компетенции, сформированные в результате обучения по программе - "Создание и развитие отечественных перспективных СФ-блоков для проектирования систем на кристалле на архитектуре RISC-V", "Исследование возможностей создания программно-аппаратного комплекса для ускорения верификации цифровых систем на кристалле".

При разработке программы учтено мнение высокотехнологичной компаний – YADRO (КНС ГРУПП).

Область профессиональной деятельности: верификация цифровых устройств (как отдельных модулей, так и Систем на Кристалле).

Вид экономической деятельности: деятельность в области информации и связи.

Укрупненная группа специальностей: 09.00.00 «Информатика и вычислительная техника»

Квалификация: новая квалификация не приобретается.

3. Требования к результатам обучения (2)

Формируемая профессиональная компетенция – Способен осуществлять функциональную верификацию и разрабатывать тесты функционального контроля интегральных схем, определена на основании профессионального стандарта 40.019 «Специалист по функциональной верификации и разработке тестов функционального контроля наноразмерных интегральных схем»,

В результате освоения данной программы слушатель должен:

знать: основные подходы к верификации цифровых устройств, принципы работы симуляторов Verilog и System Verilog,

уметь: проверять простейшие цифровые устройства с одиночным тактовым доменом, получать и анализировать функциональное покрытие.

иметь практический опыт: верификации цифровых устройств.

4. Содержание программы

Учебный план программы повышения квалификации «ФУНКЦИОНАЛЬНАЯ ВЕРИФИКАЦИЯ ЦИФРОВЫХ УСТРОЙСТВ»

Категория слушателей – обучающиеся по программам бакалавриата (начиная с 3 курса), магистратуры, аспирантуры, а также преподаватели и специалисты.

Срок обучения – 72 часа

Форма обучения очная

№ п/ п	Наименование разделов/модулей	Всего, час	В том числе		
			Аудиторных		Самостоятельная работа
			Лекции	Практические занятия	
1.	Маршрут проектирования и типы верификации цифровых устройств. Введение в функциональную верификацию. Выполнение и разбор простейших примеров.	9	2	2	5
2.	Функциональная верификация и базовая генерация случайных воздействий. Взаимодействие с устройствами с синхронной логикой.	9	2	2	5
3.	Функциональная верификация и создание тестовых сценариев. Взаимодействие с устройством при помощи протоколов.	9	2	2	5
4.	Введение в функциональную верификацию на основе транзакций. Применение ООП для верификации цифровых устройств. Рандомизация транзакций.	9	2	2	5
5.	Типовая структура верификационного окружения с применением ООП. Роли и взаимодействие компонентов. Step-by-step проектирование и применение.	9	2	2	5
6.	Условия завершения процесса верификации. Функциональное покрытие. Введение в модель функционального покрытия System Verilog, ее создание и применение.	9	2	2	5

7.	Функциональная верификация протоколов и white-box тестирование. Введение в System Verilog Assertions, их создание и применение.	9	2	2	5
8.	Законченное верификационное окружение (Verification Intellectual Property, VIP). Основные свойства и составные части. Step-by-step проектирование и отладка.	9	2	2	5
Итоговая аттестация		зачет			
Всего		72	16	16	40

Календарный учебный график

Календарный учебный график составляется в форме расписания занятий при наборе группы и прилагается к программе повышения квалификации.

Учебно-тематический план программы повышения квалификации «ФУНКЦИОНАЛЬНАЯ ВЕРИФИКАЦИЯ ЦИФРОВЫХ УСТРОЙСТВ»

№ п/п	Наименование разделов/модулей	Всего, час	В том числе		
			Аудиторных		СРС
			Лекции	Практические и/или лабораторные занятия	
			очная	очная	очная
1.	Раздел 1. Маршрут проектирования и типы верификации цифровых устройств. Введение в функциональную верификацию. Выполнение и разбор простейших примеров	9	2	2	5
1.1	Маршрут проектирования и типы верификации цифровых устройств.				
1.2	Введение в функциональную верификацию.				
1.3	Простейший подход к функциональной верификации.				
1.4	Работа цифрового устройства. Время моделирования.				
1.5	Верификация. Генерация входных воздействий.				
1.6	Верификация. Проверка выходных сигналов.				
1.7	Основы работы Verilog/System Verilog симуляторов. Active Event Region.				
1.8	Совместное выполнение процессов в System Verilog.				
2	Раздел 2. Функциональная верификация и базовая генерация случайных воздействий. Взаимодействие с устройствами с последовательностной логикой.	9	2	2	5
2.2	Основные принципы верификации устройств с синхронной логикой.				

№ п/п	Наименование разделов/модулей	Всего, час	В том числе		
2.3	Работа Verilog/System Verilog симуляторов. NBA Event Region.				
2.4	Циклическая генерация входных воздействий.				
2.5	Простейшая рандомизация входных воздействий.				
2.6	System Verilog и стабильность рандомизации.				
2.7	System Verilog и ограничения рандомизации.				
3	Раздел 3. Функциональная верификация и создание тестовых сценариев. Взаимодействие с устройством при помощи протоколов.	9	2	2	5
3.1	Система на Кристалле. Взаимодействие между блоками СнК.				
3.2	Стандартные протоколы СнК.				
3.3	Разбор протокола AXI Stream.				
3.4	Пример тестового окружения для устройства, работающего с AXI Stream.				
3.5	System Verilog задачи и функции.				
3.6	Повышение уровня абстракции, System Verilog структуры.				
3.7	Генерация полезных данных в ходе тестирования.				
3.8	System Verilog и динамические процессы.				
3.9	Верификационные тестовые сценарии.				
4	Раздел 4. Введение в функциональную верификацию на основе транзакций. Применение ООП для верификации цифровых устройств. Рандомизация транзакций.	9	2	2	5
4.1	Проблема уровней абстракции в функциональной верификации.				
4.2	Функциональная верификация на основе транзакций.				
4.3	Введение в ООП в System Verilog и связь с верификацией на основе транзакций.				
4.4	Создание и рандомизация классов в System Verilog.				
4.5	Принцип работы решателя ограничений System Verilog.				
4.6	Стабильность рандомизации классов, принципы ООП.				
4.7	Upcasting и down casting классов System Verilog.				
4.8	Использование ООП для повышения уровня абстракции тестового окружения.				
5	Раздел 5. Типовая структура верификационного окружения с применением ООП. Роли и взаимодействие компонентов. Step-by-step проектирование и применение.	9	2	2	5
5.1	Разбор типовой структуры окружения, построенного на принципах ООП.				
5.2	System Verilog пакеты. Пакет тестового окружения.				
5.3	Проблема доступа к портам устройства.				
5.4	System Verilog интерфейс и виртуальный интерфейс.				
5.5	Верификационное окружение и виртуальный интерфейс.				
5.6	Как ООП решает проблемы недостаточного уровня абстракции в верификации.				

№ п/п	Наименование разделов/модулей	Всего, час	В том числе		
6	Раздел 6. Условия завершения процесса верификации. Функциональное покрытие. Введение в модель функционального покрытия System Verilog, ее создание и применение.	9	2	2	5
6.1	Constrained random test.				
6.2	Условия завершения процесса верификации.				
6.3	Введение в функциональное покрытие.				
6.4	Место функционального покрытия в типовой структуре тестового окружения.				
6.5	Конструкции System Verilog для сбора функционального покрытия.				
6.6	Исключение, объединение и ограничение разделов покрытия.				
6.7	Опции и методы покрытия, сбор покрытия вне области видимости.				
7	Раздел 7. Функциональная верификация протоколов и white-box тестирование. Введение в System Verilog Assertions, их создание и применение.	9	2	2	5
7.1	Проблема верификации поведения устройства с течением времени.				
7.2	Введение в System Verilog Assertions (SVA).				
7.3	Immediate Assertions. Плюсы и минусы, примеры области применения.				
7.4	Concurrent Assertions. Области применения.				
7.5	Concurrent Assertions. Основная теоретическая часть с примерами.				
7.6	SVA и white-box тестирование. Доступ к сигналам модуля извне.				
7.7	Concurrent Assertions. Дополнительная теоретическая часть с примерами.				
8	Раздел 8. Законченное верификационное окружение (Verification Intellectual Property). Основные свойства и составные части. Step-by-step проектирование и отладка.	9	2	2	5
8.1	Что такое Verification Intellectual Property (VIP). Условия и области использования VIP.				
8.2	Введение в AMBA APB.				
8.3	Введение в AMBA AXI4.				
8.4	Создание VIP. Step-by-step проектирование.				
8.5	Case study. Создание верификационного окружения на основе VIP.				
8.6	Модификация верификационного окружения с учетом особенностей проверяемого дизайна.				
8.7	Создание тестовых сценариев с использованием VIP.				
8.8	Создание и интерпация System Verilog Assertions в верификационное окружение.				
8.9	Создание и интеграция функционального покрытия в верификационное окружение.				
	Итоговая аттестация	зачет			
	Всего	72	16	16	40

**Учебная программа
повышения квалификации
«ФУНКЦИОНАЛЬНАЯ ВЕРИФИКАЦИЯ ЦИФРОВЫХ УСТРОЙСТВ»**

Раздел 1. Маршрут проектирования и типы верификации цифровых устройств. Введение в функциональную верификацию. Выполнение и разбор простейших примеров. (9 часов).

Тема 1.1. Маршрут проектирования и типы верификации цифровых устройств.

Тема 1.2. Введение в функциональную верификацию.

Тема 1.3. Простейший подход к функциональной верификации.

Тема 1.4. Работа цифрового устройства. Время моделирования.

Тема 1.5. Верификация. Генерация входных воздействий.

Тема 1.6. Верификация. Проверка выходных сигналов.

Тема 1.7. Основы работы Verilog/System Verilog симуляторов. Active Event Region.

Тема 1.8. Совместное выполнение процессов в System Verilog.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
1.1	Введение в функциональную верификацию. Выполнение и разбор простейших примеров.	2
1.2		
1.3		
1.4		
1.5		
1.6		
1.7		
1.8		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
1.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	5
1.2		
1.3		
1.4		
1.5		
1.6		
1.7		
1.8		

Раздел 2. Функциональная верификация и базовая генерация случайных воздействий. Взаимодействие с устройствами с последовательностной логикой(9 часов).

Тема 2.1. Последовательностная логика.

Тема 2.2. Основные принципы верификации устройств с синхронной логикой.

Тема 2.3. Работа Verilog/System Verilog симуляторов. NBA Event Region.

Тема 2.4. Циклическая генерация входных воздействий.

Тема 2.5. Простейшая рандомизация входных воздействий.

Тема 2.6. System Verilog и стабильность рандомизации.

Тема 2.7. System Verilog и ограничения рандомизации.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
2.1	Функциональная верификация и базовая генерация случайных воздействий.	2

2.2	Взаимодействие с устройствами с синхронной логикой.	
2.3		
2.4		
2.5		
2.6		
2.7		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
2.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	5
2.2		
2.3		
2.4		
2.5		
2.6		
2.7		

Раздел 3. Функциональная верификация и создание тестовых сценариев. Взаимодействие с устройством при помощи протоколов. (9 часов).

Тема 3.1. Система на Кристалле. Взаимодействие между блоками СнК.

Тема 3.2. Стандартные протоколы СнК.

Тема 3.3. Разбор протокола AXI Stream.

Тема 3.4. Пример тестового окружения для устройства, работающего с AXI Stream.

Тема 3.5. System Verilog задачи и функции.

Тема 3.6. Повышение уровня абстракции, System Verilog структуры.

Тема 3.7. Генерация полезных данных в ходе тестирования.

Тема 3.8. System Verilog и динамические процессы.

Тема 3.9. Верификационные тестовые сценарии.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
3.1	Функциональная верификация и создание тестовых сценариев. Взаимодействие с устройством при помощи протоколов.	2
3.2		
3.3		
3.4		
3.5		
3.6		
3.7		
3.8		
3.9		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
3.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	5
3.2		
3.3		
3.4		
3.5		
3.6		
3.7		
3.8		
3.9		

Раздел 4. Введение в функциональную верификацию на основе транзакций. Применение ООП для верификации цифровых устройств. Рандомизация транзакций. (9 часов).

Тема 4.1. Проблема уровней абстракции в функциональной верификации.

Тема 4.2. Функциональная верификация на основе транзакций.

Тема 4.3. Введение в ООП в System Verilog и связь с верификацией на основе транзакций.

Тема 4.4. Создание и рандомизация классов в System Verilog.

Тема 4.5. Принцип работы решателя ограничений System Verilog.

Тема 4.6. Стабильность рандомизации классов, принципы ООП.

Тема 4.7. Upcasting и down casting классов System Verilog.

Тема 4.8. Использование ООП для повышения уровня абстракции тестового окружения.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
4.1	Введение в функциональную верификацию на основе транзакций. Применение ООП для верификации цифровых устройств. Рандомизация транзакций.	2
4.2		
4.3		
4.4		
4.5		
4.6		
4.7		
4.8		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
4.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	5
4.2		
4.3		
4.4		
4.5		
4.6		
4.7		
4.8		

Раздел 5. Типовая структура верификационного окружения с применением ООП. Роли и взаимодействие компонентов. Step-by-step проектирование и применение. (9 часов).

Тема 5.1. Разбор типовой структуры окружения, построенного на принципах ООП.

Тема 5.2. System Verilog пакеты. Пакет тестового окружения.

Тема 5.3. Проблема доступа к портам устройства.

Тема 5.4. System Verilog интерфейс и виртуальный интерфейс.

Тема 5.5. Верификационное окружение и виртуальный интерфейс.

Тема 5.6. Как ООП решает проблемы недостаточного уровня абстракции в верификации.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
5.1	Типовая структура верификационного окружения с применением ООП. Роли и взаимодействие компонентов. Step-by-step проектирование и применение.	2
5.2		
5.3		
5.4		
5.5		
5.6		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
5.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	5
5.2		
5.3		
5.4		
5.5		
5.6		

Раздел 6. Условия завершения процесса верификации. Функциональное покрытие. Введение в модель функционального покрытия System Verilog, ее создание и применение. (9 часов).

Тема 6.1. Constrained random test.

Тема 6.2. Условия завершения процесса верификации.

Тема 6.3. Введение в функциональное покрытие.

Тема 6.4. Место функционального покрытия в типовой структуре тестового окружения.

Тема 6.5. Конструкции System Verilog для сбора функционального покрытия.

Тема 6.6. Исключение, объединение и ограничение разделов покрытия.

Тема 6.7. Опции и методы покрытия, сбор покрытия вне области видимости.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
6.1	Условия завершения процесса верификации. Функциональное покрытие. Введение в модель функционального покрытия System Verilog, ее создание и применение.	2
6.2		
6.3		
6.4		
6.5		
6.6		
6.7		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
6.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	5
6.2		
6.3		
6.4		
6.5		
6.6		
6.7		

Раздел 7. Функциональная верификация протоколов и white-box тестирование. Введение в System Verilog Assertions, их создание и применение. (9 часов).

Тема 7.1. Проблема верификации поведения устройства с течением времени.

Тема 7.2. Введение в System Verilog Assertions (SVA).

Тема 7.3. Immediate Assertions. Плюсы и минусы, примеры области применения.

Тема 7.4. Concurrent Assertions. Области применения.

Тема 7.5. Concurrent Assertions. Основная теоретическая часть с примерами.

Тема 7.6. SVA и white-box тестирование. Доступ к сигналам модуля извне.

Тема 7.7. Concurrent Assertions. Дополнительная теоретическая часть с примерами.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
7.1	Функциональная верификация протоколов и white-box тестирование. Введение в System Verilog Assertions, их создание и применение.	2
7.2		
7.3		
7.4		
7.5		
7.6		
7.7		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
7.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	5
7.2		
7.3		
7.4		
7.5		
7.6		
7.7		

Раздел 8. Законченное верификационное окружение (Verification Intellectual Property). Основные свойства и составные части. Step-by-step проектирование и отладка. (9 часов).

Тема 8.1. Что такое Verification Intellectual Property (VIP). Условия и области использования VIP.

Тема 8.2. Введение в AMBA APB.

Тема 8.3. Введение в AMBA AXI4.

Тема 8.4. Создание VIP. Step-by-step проектирование.

Тема 8.5. Case study. Создание верификационного окружения на основе VIP.

Тема 8.6. Модификация верификационного окружения с учетом особенностей проверяемого дизайна.

Тема 8.7. Создание тестовых сценариев с использованием VIP.

Тема 8.8. Создание и интеграция System Verilog Assertions в верификационное окружение.

Тема 8.9. Создание и интеграция функционального покрытия в верификационное окружение.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
8.1	Законченное верификационное окружение (Verification Intellectual Property). Основные свойства и составные части. Step-by-step проектирование и отладка.	2
8.2		
8.3		
8.4		
8.5		
8.6		
8.7		
8.8		
8.9		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
8.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	5
8.2		

8.3		
8.4		
8.5		
8.6		
8.7		
8.8		
8.9		

5. Материально-технические условия реализации программы

Наименование специализированных аудиторий кабинетов, лабораторий	Вид занятия	Наименование оборудования, программного обеспечения
Лаборатория аппаратных средств ИУС	Лекции	Аудиторный интерактивный комплекс, аудиторные персональные компьютеры, VirtualBox.
Лаборатория аппаратных средств ИУС	Практические занятия	Аудиторный интерактивный комплекс, аудиторные персональные компьютеры, VirtualBox.
Помещение для самостоятельной работы	Самостоятельная работа обучающихся	ПК с ОС Windows и Linux, VirtualBox.

6. Учебно-методическое обеспечение программы

Учебно-методическое обеспечение для самостоятельной работы обучающихся в составе УМК модуля (ОРИОКС// URL: , <http://orioks.miet.ru/>):

1. методические указания обучающимся по изучению тем программы;
2. презентационный материал к лекциям;
3. список дополнительной литературы для самостоятельного изучения тем программы.

Литературные источники:

1. Логическое проектирование на System Verilog / Д. Томас ; Науч. ред. А. С. Камкин, М. М. Чупилко; Пер. с англ. А. А. Слинкина [и др.]. - М. : ДМК Пресс, 2019. - 384. - URL: <https://e.lanbook.com/book/131680> (дата обращения: 13.03.2024). - ISBN 978-5-97060-619-3 : 0-00. - Текст : электронный.

7. Методические указания для обучающихся по освоению программы

Курс состоит из аудиторных часов и часов самостоятельной работы.

К аудиторным часам относятся: 8 лекционных занятий, 8 практических занятий.

Лекционные и практические занятия

В курсе используется подход, основанный на совмещении лекционного и практического занятий по каждой теме. Совмещенное занятие ведется в формате диалога, в который интегрирована самостоятельная работа обучающихся над практическими заданиями. В середине совмещенного занятия (через 2 часа после начала) предусмотрен перерыв в 15 минут. В конце каждого совмещенного занятия обучающимся выдается домашнее задание, решение которого необходимо предоставить не позднее даты начала следующего занятия.

Самостоятельная работа

На самостоятельную работу обучающимся отводятся:

- доработка решений практических занятий;
- повторение теоретического материала;
- выполнение домашнего задания.

Организация взаимодействия с преподавателем

Для взаимодействия обучающихся с преподавателем используются сервисы обратной связи: ОРИОКС «Домашние задания», тематическая группа в Telegram, а также сервис GitHub.

При возникновении вопросов обучающийся может написать в раздел «Домашние задания», чат тематической группы в Telegram или задать вопросы во время аудиторных занятий.

Необходимая информация для организации процесса обучения высылается через раздел Новости ОРИОКС и дублируется в тематической группе в Telegram.

Зачёт

Программа завершается зачётом. Зачёт проводится в формате устной беседы и выполнения практических заданий по всем разделам курса.

8. Оценка качества освоения программы

Для оценки успеваемости обучающихся, используется накопительная балльная система.

Баллами оцениваются: посещаемость лекций, выполнение практических заданий, зачет.

При условии выполнения каждого контрольного мероприятия по сумме выставляется зачет, если обучающийся набрал от 50%.

Конкретные формы и процедуры текущего и промежуточного контроля знаний, умений и опыта деятельности доводятся до сведения обучающихся в течение первого месяца обучения.

Накопительно-балльная система дисциплины

Во время изучения программы могут быть накоплены следующие баллы, представленные в таблице 1.

Контрольные мероприятия	Баллы НБС
Посещаемость лекций	При посещении 100% лекций – 30 При посещении 70% лекций – 15 При посещении 30% лекций – 5 При нулевом посещении лекций – 0
Выполнение практических заданий	При выполнении 100% ПЗ – 40 При выполнении 70% ПЗ – 20 При выполнении 30% ПЗ – 5 При не выполнении ПЗ – 0
Выполнение домашних заданий	При выполнении 100% ДЗ – 15 При выполнении 70% ДЗ – 7 При выполнении 30% ДЗ – 4 При не выполнении ДЗ – 0
Зачет	15
Итого	100

9. Составители программы

Ассистент Института МПСУ

Доцент Института МПСУ, к.т.н

Согласовано:

Директор Института МПСУ

Директор ДРОП

Руководитель направления САПР ЭКБ

 С.А. Чусов

 Д.В. Калеев

 А.Л. Переверзев

 Н.Ю. Соколова

 А.В. Коршунов