

Министерство науки и высшего образования Российской Федерации
Федеральное государственное автономное образовательное учреждение высшего
образования «Национальный исследовательский университет «Московский институт
электронной техники»

УТВЕРЖДАЮ

Проректор по УР



А.Г. Балашов

2025 г.

ПРОГРАММА ПОВЫШЕНИЯ КВАЛИФИКАЦИИ

«МАРШРУТ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ СБИС И СНК»

Программа разработана в Передовой инженерной школе
«Средства проектирования и производства электронной компонентной базы»

Москва – 2025 г.

1. Цель реализации программы

Цель программы – формирование у слушателей профессиональных компетенций в области автоматизированного проектирования цифровых СБИС средствами автоматизированного синтеза.

2. Характеристика профессиональной деятельности и (или) квалификации

Научный проект ПИШ, в котором востребованы компетенции, сформированные в результате обучения по программе - "Создание и развитие отечественных перспективных СФ-блоков для проектирования систем на кристалле на архитектуре RISC-V", " Разработка комплекса модулей САПР для отладки, анализа и оптимизации цифровых СБИС на вентиляционном уровне".

При разработке программы учтено мнение высокотехнологичной компании КНС ГРУПП.

Область профессиональной деятельности: верификация цифровых устройств (как отдельных модулей, так и Систем на Кристалле).

Вид экономической деятельности: деятельность в области информации и связи (ОКВЭД) – 26.11.13 производство интегральных электронных схем.

Укрупнённая группа специальностей: 09.00.00 «Информатика и вычислительная техника»

Квалификация: новая квалификация не приобретается.

3. Требования к результатам обучения

Формируемая профессиональная компетенция – Способен осуществлять проектирование интегральных цифровых интегральных схем средствами автоматизированного синтеза, определена на основании профессионального стандарта 40.016 «Инженер в области проектирования и сопровождения интегральных схем и систем на кристалле»,

В результате освоения данной программы слушатель должен:

знать: методологию функционально-логического синтеза цифровых устройств средствами САПР,

уметь: проводить оценку функциональных и временных характеристик логических элементов и функциональных блоков в составе всей системы на кристалле.

иметь практический опыт: формирования отчетов о временных, мощностных характеристиках цифровой части системы на кристалле или сложно-функционального блока

4. Содержание программы

Учебный план
программы повышения квалификации
« МАРШРУТ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ СБИС И СНК»

Категория слушателей – имеющие высшее образование, а также обучающиеся по программам бакалавриата, магистратуры и специалитета.

Срок обучения – 176 часов

Форма обучения: очная, с применением ДОТ.

№	Наименование разделов/модулей	Всего, час	В том числе			Образовательные технологии в том числе ЭО и (или) ДОТ
			Аудиторных		СРС	
			Лекции	Практические занятия		
1.	Основные маршруты проектирования ИС. Обзор маршрута RTL2GDS. Маршрут логического синтеза.	22	6	8	8	ДОТ
2.	Статический временной анализ. Влияние техпроцесса на характеристики схемы. Углы характеристики	22	6	8	8	ДОТ
3.	Проектные ограничения. Ограничения при нескольких синхросигналах	22	6	8	8	ДОТ
4.	Постпроизводственное тестирование ASIC. Инструменты и ключевые проектные процедуры DFT-маршрута	22	6	8	8	ДОТ
5.	Проверка логической эквивалентности в маршруте проектирования. Формальная верификация.	22	6	8	8	ДОТ
6.	Проектное окружения для физического проектирования. Этапы планировки кристалла и размещения	22	6	8	8	ДОТ
7.	Физическая верификация. Финишные процедуры для повышения выхода годных и надежности	22	6	8	8	ДОТ
8.	IP блоки в маршруте проектирования	22	6	8	8	ДОТ
	Итоговая аттестация	зачет				
	Всего	176	48	64	64	

Календарный учебный график

Календарный учебный график составляется в форме расписания занятий при наборе группы и прилагается к программе повышения квалификации.

**Учебно-тематический план
программы повышения квалификации
« МАРШРУТ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ СБИС И СНК»**

№ п/п	Наименование разделов/модулей	Всего, час	В том числе			Образовательные технологии в том числе ЭО и (или) ДОТ
			Аудиторных		СРС	
			Лекции	Практические и/или лабораторные занятия		
1.	Раздел 1. Основные маршруты проектирования ИС. Обзор маршрута RTL2GDS. Маршрут логического синтеза.	22	6	8	8	
1.1	Основные маршруты проектирования ИС (custom/digital)					
1.2	Обзор маршрута RTL2GDS.					
1.3	Основные инструменты и вендоры.					
1.4	Сравнение, основные проектные процедуры					
1.5	Маршрут логического синтеза.					
1.6	Обзор, входные данные (RTL, SDC, библ.)					
1.7	Выходные данные (gatelevel, SDF)					
2	Раздел 2. Статический временной анализ. Влияние техпроцесса на характеристики схемы. Углы характеристики	22	6	8	8	
2.1	Состав библиотеки стандартных ячеек					
2.2	Основные временные характеристики элементов (задержки и ограничения).					
2.3	Понятие временного пути (timing path).					
2.4	Основные виды ограничений для временных путей.					
2.5	Проверки нарушений по setup/hold					
2.6	Пример расчета временного пути, Arrival time, Required Time, Slack					
2.7	Процедура Static timing analysis (STA)					
2.8	Gate-level моделирование с аннотацией задержек.					
2.9	Особенности STA после логического синтеза					
2.10	Формат Liberty структура и основные блоки					
2.11	Процедура характеристики библиотеки элементов.					
3	Раздел 3. Проектные ограничения. Ограничения при нескольких синхросигналах	22	6	8	8	
3.1	Основные принципы формирования временных ограничений					
3.2	Базовые виды временных путей (R2R, I2R, R2O, I2O).					

№ п/п	Наименование разделов/модулей	Всего, час	В том числе			Образовательные технологии
3.3	Базовое Reg2Reg ограничение (create_clock)					
3.4	I/O ограничения (input_delay, output_delay)					
3.5	Модели синхросигналов при задании ограничений					
3.6	Составляющие clock_uncertainty на разных этапах проектирования					
3.7	Задание clock_latency на разных этапах					
3.8	Внешние условия для синтезируемого блока (transition / load)					
3.9	Специфика SDC в разных инструментах					
3.10	STA при наличии нескольких синхросигналов. Термин Timing Exception					
3.11	Понятие false_path и clock_group					
4	Раздел 4. Постпроизводственное тестирование ASIC. Инструменты и ключевые проектные процедуры DFT-маршрута	22	6	8	8	
4.1	Постпроизводственное тестирование (manufacturing test)					
4.2	Причины производственных дефектов					
4.3	Модель ошибки из-за брака типа Stuck-At (SA0, SA1)					
4.4	Обнаружение ошибки в комбинационной логике (D-алгоритм)					
4.5	Реализация структур для тестирования в последовательностных схемах					
4.6	Понятие тестового шаблона Test Pattern/					
4.7	Тестовое покрытие в DFT					
4.8	Инструменты ATPG					
4.9	Методология DFT и САПР. Основные компоненты - Scan, TAP, Boundary Scan, BIST					
4.10	Реализация тестирования с помощью скановых цепей					
5	Раздел 5. Проверка логической эквивалентности в маршруте проектирования. Формальная верификация.	22	6	8	8	
5.1	Общие принципы проверки эквивалентности (LEC)					
5.2	Роль LEC в маршруте проектирования					
5.3	Понятие combinational LEC.					
5.4	Варианты проверок RTL-RTL, RTL-Netlist, Netlist-Netlist					
5.5	Ключевые этапы LEC match, compare. Понятие логического конуса.					
5.6	Реализация LEC в маршрутах Cadence и Synopsys					
5.7	Статический анализ RTL кода. Основные области проверки (Lint, RDC, CDC)					
6	Раздел 6. Проектное окружения для физического проектирования. Этапы	22	6	8	8	

№ п/п	Наименование разделов/модулей	Всего, час	В том числе			Образовательные технологии
	планировки кристалла и размещения					
6.1	Основные задачи Back-End части маршрута проектирования					
6.2	Основные этапы: Floorplanning. Placement. Clock tree synthesis (CTS). Routing.					
6.3	Задача экстракции паразитных элементов межсоединений (Parasitic extraction)					
6.4	Sign-Off верификация: физическая и STA.					
6.5	Основные инструменты для back-end части маршрута					
6.6	Варианты проектирования: block level / chip level					
6.7	Метрики при планировке кристалла					
6.8	Размещение I/O: расположение пинов, размещение I/O ячеек.					
7	Раздел 7. Физическая верификация. Финишные процедуры для повышения выхода годных и надежности					
7.1	Этапы DRC. Файлы runset. Формирование правил DRC.					
7.2	Виды DRC правил: общие правила, плотность металла, правила для антенн, правила проектирования для производства.					
7.3	Этапы LVS. Построение деки LVS. Игнорируемые ошибки LVS.					
7.4	Виды правил для ERC	22	6	8	8	
7.5	Экстракция паразитных элементов. Входные и выходные данные RC экстракции					
7.6.	Причины производственного брака: антенна, плотность металла, переходные окна					
7.7	Инструменты САПР для предотвращения брака					
7.8	Влияние заполнения металлом на временные характеристики.					
7.9	Signal Integrity анализ в цифровом маршруте. Cross-talk эффекты					
8	Раздел 8. IP блоки в маршруте проектирования					
8.1	Reuse методология в маршруте проектирования.					
8.2	Основные варианты IP блоков (soft/hard)	22	6	8	8	
8.3	Встроенные библиотеки IP в средствах синтеза (DesignWare/ ChipWare)					
8.4	Инструменты для конфигурации soft IP (CoreConsultant/coreAssembler)					
	Итоговая аттестация	зачет				
	Всего	176	48	64	64	

**Учебная программа
повышения квалификации
« МАРШРУТ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ СБИС И СНК»**

Раздел 1. Основные маршруты проектирования ИС. Обзор маршрута RTL2GDS. Маршрут логического синтеза. (22 часа).

Тема 1.1	Основные маршруты проектирования ИС (custom/digital)
Тема 1.2	Обзор маршрута RTL2GDS.
Тема 1.3	Основные инструменты и вендоры.
Тема 1.4	Сравнение, основные проектные процедуры
Тема 1.5	Маршрут логического синтеза.
Тема 1.6	Обзор, входные данные (RTL, SDC, библи.)
Тема 1.7	Выходные данные (gatelevel, SDF)

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
1.1	Основные маршруты проектирования ИС. Обзор маршрута RTL2GDS. Маршрут логического синтеза.	8
1.2		
1.3		
1.4		
1.5		
1.6		
1.7.		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
1.1	Изучение дополнительной литературы для подготовки к практическим занятиям, выполнение домашнего задания.	8
1.2		
1.3		
1.4		
1.5		
1.6		
1.7		

Раздел 2. Статической временной анализ. Влияние техпроцесса на характеристики схемы. Углы характеристики. (22 часа).

Тема 2.1	Состав библиотеки стандартных ячеек
Тема 2.2	Основные временные характеристики элементов (задержки и ограничения).
Тема 2.3	Понятие временного пути (timing path).
Тема 2.4	Основные виды ограничений для временных путей.
Тема 2.5	Проверки нарушений по setup/hold
Тема 2.6	Пример расчета временного пути, Arrival time, Required Time, Slack
Тема 2.7	Процедура Static timing analysis (STA)
Тема 2.8	Gate-level моделирование с аннотацией задержек.
Тема 2.9	Особенности STA после логического синтеза
Тема 2.10	Формат Liberty структура и основные блоки
Тема 2.11	Процедура характеристики библиотеки элементов.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
2.1	Статической временной анализ. Влияние техпроцесса на характеристики схемы. Углы характеристики	8
2.2		
2.3		
2.4		
2.5		
2.6		
2.7		
2.8		
2.9		
2.10.		
2.11		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
2.1	Изучение дополнительной литературы для подготовки к практическим занятиям, выполнение домашнего задания.	8
2.2		
2.3		
2.4		
2.5		
2.6		
2.7		
2.8		
2.9		
2.10		
2.11		

Раздел 3. Проектные ограничения. Ограничения при нескольких синхросигналах. (22 часа).

- Тема 3.1 Основные принципы формирования временных ограничений
- Тема 3.2 Базовые виды временных путей (R2R, I2R, R2O, I2O).
- Тема 3.3 Базовое Reg2Reg ограничение (create_clock)
- Тема 3.4 I/O ограничения (input_delay, output_delay)
- Тема 3.5 Модели синхросигналов при задании ограничений
- Тема 3.6 Составляющие clock_uncertainty на разных этапах проектирования
- Тема 3.7 Задание clock_latency на разных этапах
- Тема 3.8 Внешние условия для синтезируемого блока (transition / load)
- Тема 3.9 Специфика SDC в разных инструментах
- Тема 3.10 STA при наличии нескольких синхросигналов. Термин Timing Exception
- Тема 3.11 Понятие false_path и clock_group

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
3.1	Проектные ограничения. Ограничения при нескольких синхросигналах	8
3.2		
3.3		
3.4		
3.5		
3.6		
3.7		
3.8		
3.9		

3.10		
3.11		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
3.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	8
3.2		
3.3		
3.4		
3.5		
3.6		
3.7		
3.8		
3.9		
3.10		
3.11		

Раздел 4. Постпроизводственное тестирование ASIC. Инструменты и ключевые проектные процедуры DFT-маршрута. (22 часа).

Тема 4.1	Постпроизводственное тестирование (manufacturing test)
Тема 4.2	Причины производственных дефектов
Тема 4.3	Модель ошибки из-за брака типа Stuck-At (SA0, SA1)
Тема 4.4	Обнаружение ошибки в комбинационной логике (D-алгоритм)
Тема 4.5	Реализация структур для тестирования в последовательностных схемах
Тема 4.6	Понятие тестового шаблона Test Pattern/
Тема 4.7	Тестовое покрытие в DFT
Тема 4.8	Инструменты ATPG
Тема 4.9	Методология DFT и САПР. Основные компоненты - Scan, TAP, Boundary Scan, BIST
Тема 4.10	Реализация тестирования с помощью скановых цепей

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
4.1	Постпроизводственное тестирование ASIC. Инструменты и ключевые проектные процедуры DFT-маршрута	8
4.2		
4.3		
4.4		
4.5		
4.6		
4.7		
4.8		
4.9		
4.10		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
4.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	8
4.2		
4.3		
4.4		
4.5		
4.6		

4.7		
4.8		
4.9		
4.10		

Раздел 5. Проверка логической эквивалентности в маршруте проектирования. Формальная верификация. (22 часа).

Тема 5.1	Общие принципы проверки эквивалентности (LEC)
Тема 5.2	Роль LEC в маршруте проектирования
Тема 5.3	Понятие combinational LEC.
Тема 5.4	Варианты проверок RTL-RTL, RTL-Netlist, Netlist-Netlist
Тема 5.5	Ключевые этапы LEC match, compare. Понятие логического конуса.
Тема 5.6	Реализация LEC в маршрутах Cadence и Synopsys
Тема 5.7	Статический анализ RTL кода. Основные области проверки (Lint, RDC, CDC).

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
5.1	Проверка логической эквивалентности в маршруте проектирования. Формальная верификация.	8
5.2		
5.3		
5.4		
5.5		
5.6		
5.7		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
5.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	8
5.2		
5.3		
5.4		
5.5		
5.6		
5.7		

Раздел 6. Проектное окружения для физического проектирования. Этапы планировки кристалла и размещения. (22 часа).

Тема 6.1	Основные задачи Back-End части маршрута проектирования
Тема 6.2	Основные этапы: Floorplanning. Placement. Clock tree synthesis (CTS). Routing.
Тема 6.3	Задача экстракции паразитных элементов межсоединений (Parasitic extraction)
Тема 6.4	Sign-Off верификация: физическая и STA.
Тема 6.5	Основные инструменты для back-end части маршрута
Тема 6.6	Варианты проектирования: block level / chip level
Тема 6.7	Метрики при планировке кристалла
Тема 6.8	Размещение I/O: расположение пинов, размещение I/O ячеек.

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
6.1	Проектное окружение для физического проектирования. Этапы планировки кристалла и размещения	8
6.2		
6.3		
6.4		
6.5		
6.6		
6.7		
6.8		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
6.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	8
6.2		
6.3		
6.4		
6.5		
6.6		
6.7		
6.8		

Раздел 7. Физическая верификация. Финишные процедуры для повышения выхода годных и надежности (22 часа).

- Тема 7.1 Этапы DRC. Файлы runset. Формирование правил DRC.
- Тема 7.2 Виды DRC правил: общие правила, плотность металла, правила для антенн, правила проектирования для производства.
- Тема 7.3 Этапы LVS. Построение деки LVS. Игнорируемые ошибки LVS.
- Тема 7.4 Виды правил для ERC
- Тема 7.5 Экстракция паразитных элементов. Входные и выходные данные RC экстракции
- Тема 7.6. Причины производственного брака: антенна, плотность металла, переходные окна
- Тема 7.7 Инструменты САПР для предотвращения брака
- Тема 7.8 Влияние заполнения металлом на временные характеристики.
- Тема 7.9 Signal Integrity анализ в цифровом маршруте. Cross-talk эффекты

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
7.1	Физическая верификация. Финишные процедуры для повышения выхода годных и надежности	8
7.2		
7.3		
7.4		
7.5		
7.6		
7.7		
7.8		
7.9		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
7.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	8
7.2		
7.3		
7.4		
7.5		
7.6		
7.7		
7.8		
7.9		

Раздел 8. IP блоки в маршруте проектирования. (22 часа).

Тема 8.1	Reuse методология в маршруте проектирования.
Тема 8.2	Основные варианты IP блоков (soft/hard)
Тема 8.3	Встроенные библиотеки IP в средствах синтеза (DesignWare/ ChipWare)
Тема 8.4	Инструменты для конфигурации soft IP (CoreConsultant/coreAssembler).

Перечень практических занятий

Номер темы	Наименование практического занятия	Кол-во часов
8.1	IP блоки в маршруте проектирования	8
8.2		
8.3		
8.4		

Самостоятельная работа

Номер темы	Вид самостоятельной работы	Кол-во часов
8.1	Изучение дополнительной литературы для подготовки к практическим занятиям, прохождение теоретических тестов, выполнение домашнего задания.	8
8.2		
8.3		
8.4		

5. Материально-технические условия реализации программы

5.1 Очная форма обучения

Наименование специализированных аудиторий кабинетов, лабораторий	Вид занятия	Наименование оборудования, программного обеспечения
Лаборатория аппаратных средств ИУС	Лекции	Аудиторный интерактивный комплекс, аудиторные персональные компьютеры с выходом в интернет, GitHub, VirtualBox. Яндекс телемост
Лаборатория аппаратных средств ИУС	Практические занятия	Аудиторный интерактивный комплекс, аудиторные персональные компьютеры, с выходом в интернет, GitHub VirtualBox, Яндекс телемост
Помещение для самостоятельной работы	Самостоятельная работа студентов	ПК с ОС Windows и Linux, VirtualBox.

6. Учебно-методическое обеспечение программы

Учебно-методическое обеспечение для самостоятельной работы обучающихся в составе УМК модуля (ОРИОКС// URL: , <http://orioks.miet.ru/>):

1. Методические указания обучающимся по изучению тем программы;
2. Презентационный материал к лекциям;
3. Список дополнительной литературы для самостоятельного изучения тем программы.

Литературные источники:

1. Логическое проектирование на System Verilog / Д. Томас ; Науч. ред. А. С. Камкин, М. М. Чупилко; Пер. с англ. А. А. Слинкина [и др.]. - М. : ДМК Пресс, 2019. - 384. - URL: <https://e.lanbook.com/book/131680> (дата обращения: 13.03.2024). - ISBN 978-5-97060-619-3 : 0-00. - Текст : электронный.

7. Методические указания для обучающихся по освоению программы

Курс состоит из аудиторных часов и часов самостоятельной работы.

К аудиторным часам относятся: 48 лекционных занятий, 64 практических занятий.

Лекционные и практические занятия

В курсе используется подход, основанный на совмещении лекционного и практического занятий по каждой теме. Совмещённое занятие ведётся в формате диалога, в который интегрирована самостоятельная работа обучающихся над практическими заданиями. В середине совмещённого занятия (через 2 часа после начала) предусмотрен перерыв в 15 минут. В конце каждого совмещённого занятия обучающимся выдается домашнее задание, решение которого необходимо предоставить не позднее даты начала следующего занятия.

Самостоятельная работа

На самостоятельную работу обучающимся отводятся:

- доработка решений практических занятий;
- повторение теоретического материала;
- выполнение домашнего задания.

Организация взаимодействия с преподавателем

Для взаимодействия обучающихся с преподавателем используются сервисы обратной связи: ОРИОКС «Домашние задания», тематическая группа в Telegram, а также сервис GitHub.

При возникновении вопросов обучающийся может написать в раздел «Домашние задания», чат тематической группы в Telegram или задать вопросы во время аудиторных занятий.

Необходимая информация для организации процесса обучения высылается через раздел Новости ОРИОКС и дублируется в тематической группе в Telegram.

Зачёт

Программа завершается зачётом. Зачёт проводится в формате ответа на 2 теоретических вопроса по теме курса.

8. Оценка качества освоения программы

Для оценки успеваемости обучающихся, используется накопительная балльная система.

Баллами оцениваются: посещаемость лекций, выполнение практических и домашних заданий, зачет (ответ на два теоретических вопроса).

При условии выполнения каждого контрольного мероприятия по сумме выставляется зачет, если обучающийся набрал от 50%.

Конкретные формы и процедуры текущего и промежуточного контроля знаний, умений и опыта деятельности доводятся до сведения обучающихся в течение первого месяца обучения.

Накопительно-балльная система дисциплины

Во время изучения программы могут быть накоплены следующие баллы, представленные в таблице 1.

Контрольные мероприятия	Баллы НБС
Посещаемость лекций	При посещении 100% лекций – 30 При посещении 60% лекций – 15 При посещении 20% лекций – 5 При нулевом посещении лекций – 0
Выполнение практических заданий	При выполнении 100% ПЗ – 40 При выполнении 70% ПЗ – 20 При выполнении 30% ПЗ – 5 При не выполнении ПЗ – 0
Выполнение домашних заданий	При выполнении 100% ДЗ – 15 При выполнении 70% ДЗ – 7 При выполнении 30% ДЗ – 4 При не выполнении ДЗ – 0
Зачет	15
Итого	100

9. Составители программы

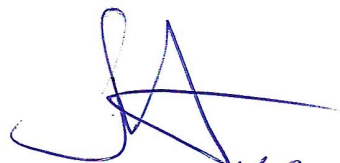
Доцент ПИШ, к.т.н



А.В. Коршунов

Согласовано:

Директор ПИШ



А.Л. Переверзев

Директор ДРОП



Н.Ю. Соколова

Директор Института ИнЭл



В.В. Лосев