Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Беспалов Владимир Александрович Аннотация рабочей программы дисциплины

Должность: Ректор МИЭТ

Дата подписания: 01.09.2023 14:18: Высокоуровневые языки проектирования и верификации»

Уникальный программный ключ:

Направленность (профиль) - «Лингвистические средства САПР сверхбольших интегральных схем и систем на кристалле»

Уровень образования - магистратура

Форма обучения - очная

1. Цели и задачи дисциплины

Целью дисциплины является изучение высокоуровневых языков проектирования и верификации для разработки и тестирования сложнофункциональных блоков и ИС.

В задачи дисциплины входит: изучение языка описания и верификации аппаратуры; выполнение работ по созданию сред верификации моделей, сопровождению разработки прототипов ИС и составляющих ее блоков.

2. Место дисциплины в структуре ОП

Дисциплина входит в часть, формируемую участниками образовательных отношений Блока 1 «Дисциплины (модули)» образовательной программы.

Входные требования к дисциплине - изучение базируется на следующих компетенциях, формируемых в дисциплинах: «Дискретная математика», «Информатика», «Основы объектно-ориентированного программирования», «Цифровая схемотехника», «Лингвистически средства проектирования», «Программные средства САПР».

В результате освоения дисциплины студент должен:

Знать возможности высокоуровневых языков для проектирования и верификации программно-аппаратных комплексов

Уметь разрабатывать системы обработки информации с использованием высокоуровневых языков проектирования и верификации.

Иметь опыт разработки встраиваемых комплексов с использованием высокоуровневых языков проектирования и верификации

3. Краткое содержание дисциплины

Дисциплина включает шесть модулей:

- 1. Введение в высокоуровневые языки проектирования и верификации.
- 2. Проектирование и моделирование с помощью языка Python.
- 3. Верификация с помощью языка Python.
- 4. Основы языка SystemVerilog. Введение в язык проектирования Chisel (Scala).
- 5. Проектирование и моделирование с помощью языка SystemVerilog.
- 6. Верификация с помощью языка SystemVerilog.

Разработчик:	
Профессор кафедры ПКИМС, д.т.н.	/Беляев А.А./