

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Беспалов Владимир Александрович

Должность: Ректор МИЭТ

Дата подписания: 01.09.2023 15:39:46

Уникальный программный идентификатор: ef5a4fe6ed0ffdf3f1a49d6ad1b49464dc1bf7354f736d76c8f8bea887b8d602

Аннотация рабочей программы дисциплины

Проектирование стандартных элементов цифровых интегральных схем.

Основы VERILOG»

Направление подготовки - 11.04.04 «Электроника и микроэлектроника»

Направленность (профиль) - «Проектирование приборов и систем»

Уровень образования - «магистратура»

Форма обучения - «очная»

1. Цели и задачи дисциплины

Цель: формирование компетенций в области поведенческого описания функционирования цифровых устройств, а также навыков проектирования библиотечных элементов для синтеза схем и топологии ЦИС современными средствами разработки.

Задачи:

- изучение маршрутов проектирования цифровых схем;
- проектирования цифровых схем с помощью современных средств разработки.

2. Место дисциплины в структуре ОП

Дисциплина входит в часть, формируемую участниками образовательных отношений Блока 1 «Дисциплины (модули)» образовательной программы. Входные требования к дисциплине: компетенции в области дискретной математики, физических принципов работы полупроводниковых приборов, основных технологических операций изготовления элементов интегральной микроэлектроники.

3. Краткое содержание дисциплины

Развитие современных ЦИС стимулирует развитие языков поведенческого описания ЦИС. В ходе изучения модуля рассматривается структура Verilog файла. Описание поведения устройства, методами “Top-Down” и “Bottom-Up”. Структурное описание (Gate Level). Поведенческое описание (Behavioral Level). Типы переменных. Описание на уровне регистровых передач (Register Transport Level). Конструкции, используемые в Verilog описании. Блокирующее и не блокирующее присвоение. Имитация задержек. Правила написания тестов для проверки функционирования. Введение в командный язык TCL. Моделирование схемы с задержками на элементах. Моделирование схемы с задержками на элементах и межсоединениях.

Разработчик:

доцент, к.т.н. Швец А.В.